

**Japanese Laid-open Patent**

**Laid-open Number:** Sho 46-3025  
**Laid-open Date:** October 25, 1971  
**Application Number:** Sho 46-14702  
**Filing Date:** March 17, 1970  
**Applicant:** General Electric Company

**Specification****1. Title of the Invention**

**METHOD OF MANUFACTURING AN INSULATED GATE FIELD EFFECT TRANSISTOR FOR INTEGRATED CIRCUITS**

**2. Scope of Claim for a Patent**

A method of manufacturing an insulated gate field effect transistor for integrated circuits which is of a type of using a diffusion mask made of fire resistant metal, said method comprising the steps of:

depositing, on a surface of a silicon wafer of one conductivity type, a thin gate insulating layer consisting of a silicon dioxide layer which has been thermally grown on the surface of said silicon wafer and a silicon nitride layer, and a thick electric field insulating layer overlying said thin gate insulating layer;

forming, through said thick electric field insulating layer, a single opening for a source region, a gate and a drain region of an associated transistor so that it reaches said silicon nitride layer;

depositing a thin film made of fire resistant metal on the exposed part of said silicon nitride layer and other part of said thick electric field insulating layer;

forming openings for the source and the drain so that they pass through said thin film made of fire resistant metal and said thin gate insulating layer;

depositing a glass film which has been doped with activator impurities over the whole

surface of said silicon wafer which has been processed and diffusing the activator impurities into said silicon wafer to form a source region and a drain region which are of an opposite conductivity type;

forming openings for contacts through the glass film; and  
depositing the composition for contact metallization.

### 3. Detailed Description of the Invention

The present invention relates to a method of manufacturing an insulated gate field effect transistor which is suitable for integrated circuits, and more particularly to the processing of a metal - oxide - semiconductor field effect transistor in which a fire resistant metal film or any one of other suitable metal films is used as a diffusion mask.

In the case where a metal - oxide - semiconductor field effect transistor for the general (non-fire resistance type) monolithic integrated circuits, i.e., the so-called MOS transistor is manufactured, as for the order of the processings, it is general that when after having diffused the activator impurities into a surface of a silicon wafer to form a source electrode and a drain electrode, the layer which is previously deposited and overlaps a gate region is removed and then the device is completed, an insulating layer acting as the gate insulator is regrown. Describing further this point, in the standard processing order, a thin film made of silicon dioxide is grown on a surface of a silicon wafer, i.e., a substrate of one conductivity type; openings are bored through a passivation thin film so that they reach a source region and a drain region, respectively; and the activator impurities are thermally diffused through an associated window parts to form a source region and a drain region each of which is of an opposite conductivity type in the surface of the silicon wafer and in the vicinity thereof. Thereafter, a thick layer made of silicon dioxide for the electric field insulation is deposited or grown over the whole surface of the processed silicon wafer. In the gate region and the contact region between the source and the drain, both of the thin oxide layer and the thick oxide layer overlying that thin oxide layer are removed so as to expose the associated part of the surface of the silicon wafer. Then, the second thin gate insulator layer made of silicon

dioxide is regrown in the gate opening. The contact holes are bored so that they pass through the thin gate oxide film to reach the source and the drain, respectively, and then the composition for the contact metallization is deposited on those electrodes and also the composition for the contact metallization is also deposited on the gate insulator layer to form a gate electrode, thereby completing the processing.

If a diffusion mask made of fire resistant metal such as molybdenum or tungsten is used in the diffusion work, then the so-called RMOS field effect transistors can be obtained. In those processings for the RMOS transistor and the above-mentioned MOS transistor, it is also general that after having removed the insulating layer which was firstly deposited from the gate region, the gate insulator layer is grown. In the order of a certain method, a thick silicon dioxide layer for the electric field insulation is deposited by the thermal decomposition over the whole surface of the silicon wafer, an opening is formed by the etching for each of the gate region, the source region and the drain region, and a thin silicon dioxide film is grown in the opening. After having deposited an adhesive film made of fire resistant metal with which the gate insulator is covered and then determining a pattern thereof, the thermal diffusion is carried out through a thin oxide film which is located in the overside of the source region and the drain region to diffuse the activator impurities into the surface of the silicon wafer located therebelow. At this time, no diffusion through the diffusion mask made of fire resistant metal occurs at all, and this mask does not react on the gate insulator as well at the diffusion temperature. Similarly to the foregoing, the contact holes are bored to which the composition for the contact metallization is in turn applied. While there is known at least one method wherein RMOS transistors are manufactured so that a gate oxide layer is not regrown, each of the transistors which were manufactured in such a manner does not include a thick oxide film for the electric field insulation which is required for the monolithic integrated circuits. The operation of this thick oxide film in the monolithic integrated circuits is to support the interconnection pattern made of metal which is required for connecting electrically the transistor of interest to the associated circuit without generating the electrical interference between the interconnection part and the associated device.

In the light of the foregoing, it is therefore an object of the present invention to provide an improved method of manufacturing an insulated gate field effect transistor for integrated circuits which is of a type of utilizing a film made of fire resistant metal as a diffusion mask and adopting a thick oxide film for the electric field insulation, which is obtained by the lamination, as an integral one-piece part of a transistor structure.

It is another object of the present invention to provide an optimal method in which the process of regrowing a gate oxide film which is conventionally decisive when manufacturing such a field effect transistor having a gate insulator layer made of oxide is avoided and by which a field effect transistor can be manufactured in a cost effective manner.

According to the present invention, a method of manufacturing an insulated gate field effect transistor for integrated circuits includes a process of depositing, on a surface of a semiconductor substrate of one conductivity type, one or more thin gate insulator layers and a thick insulator layer for the electric field insulation overlying the one or more thin gate insulator layers. The preferred insulator is the lamination body consisting of silicon dioxide which is thermally grown and silicon nitride, and thick silicon dioxide which is deposited by the thermal decomposition. A single opening for a source, a gate and a drain is formed so that it passes through the thick electric field insulator to reach the gate insulator layer, i.e., the layer made of silicon nitride. Next, a thick metal film, preferably, a film made of fire resistant metal such as molybdenum is deposited on the gate insulating film which has been exposed and other part of the thick electric field insulator film. The subsequent processing for the transistor is carried out without removing the gate insulating film of the gate region. This processing includes the steps of: forming openings for a source and a drain in a metal film and a gate insulator layer; depositing a glass film which has been doped with activator impurities; diffusing the activator impurities into a surface of a semiconductor substrate using a metal film for which the pattern has been determined as a diffusion mask to form a source electrode and a drain electrode each of which is of an opposite conductivity type; forming contact holes; and depositing the composition for the contact metallization.

The above and other objects as well as features and advantages of the present invention

will become clear from the more detailed description of the preferred embodiment shown in the accompanying drawings.

The technology for manufacturing semiconductor devices which will hereinafter be described may be used either to manufacture an N-channel insulated gate field effect transistor and a P-channel insulated gate field effect transistor, or an enhancement type gate insulating field effect transistor or a depletion type gate insulating field effect transistor. Its limits, as described above, are that the manufactured transistor is the integrated circuit device, and that a fire resistant metal film or any of other metal films is used as the diffusion mask which is used when manufacturing the transistor. For convenience of the description, the case where a P-channel enhancement type metal - oxide - semiconductor field effect transistor is manufactured on a silicon wafer will hereinafter be described in detail with reference to the accompanying drawings. However, while the gate insulating film includes generally an oxide layer, as may be necessary, the gate insulating film may be completely formed of any of other insulator. Therefore, this respect is not essential to the implementation of the present invention. In addition, the present invention may be applied to semiconductor such as germanium and arsenical gallium other than silicon. Finally, additionally speaking, while the description will now be given with respect to only the manufacture of one device, in actual, arrays of transistors for monolithic integrated circuits are manufactured at the same time.

Giving the description with respect to a flow chart of Fig. 1 and the steps of manufacturing a semiconductor device which are shown in correspondence to Fig. 2a to Fig. 2f, the various kinds of processes are carried out on one surface of a substrate 10 made of n type silicon. Only small part of the substrate 10 is illustrated in the figures. The substrate is typically a flat and thin silicon wafer which is in the range of 6 to 12 mils in thickness and which is in the range of 1 to 1.5 inches in diameter for example. The first process in the processing order (refer to Fig. 2a) is to deposit a thin layer 11 made of silicon dioxide ( $\text{SiO}_2$ ), which has been thermally grown, on one surface of the substrate 10. A thin film 12 made of silicon nitride ( $\text{Si}_3\text{N}_4$ ) or a thin film made of other suitable insulator such as ox-silicon nitride or aluminium oxide ( $\text{Al}_2\text{O}_3$ ) is deposited on the grown oxide layer 11. While made clear at

once, for an electric field insulator layer 13 which will be subsequently deposited, it is the necessary condition that the electric field insulator layer 13 can be selectively etched away against the gate insulating film underlying the layer 13. While a single gate insulator layer consisting of grown silicon dioxide, silicon nitride or some suitable insulator or other, or the lamination body including two or more layers may also be employed as the gate insulating film, the preferred structure is such that a thin film made of silicon nitride is deposited on the thermally grown silicon dioxide film. A thick electric field insulator layer 13 made of silicon dioxide formed by the thermal decomposition is preferably deposited on that lamination body acting as the gate insulating film in the completed device. The subsequent processing until the device is completed is carried out with gate dielectric substance, which was originally formed, left as it is. Using silicon nitride in this method, while will be apparent later, is advantageous in that this insulator material has the large density and hence prevents the contamination of the ions so that it is not etched by the etchant which is generally used to manufacture a semiconductor device or if etched, is slowly etched. Giving an example, the thickness of the deposited film consisting of the silicon dioxide layer and the silicon nitride layer as the gate insulating film is equal to or smaller than about  $1,000 \text{ \AA}$ , while the thickness of the thick oxide film for the electric field insulation is in the range of  $10,000$  to  $15,000 \text{ \AA}$ . Those layers are respectively deposited using the generally well known deposition method.

The next process of the method order (refer to Fig. 2b) is to form a single opening 14 for a source electrode, a gate electrode and a drain electrode of the field effect transistor through the oxide layer 13 for the electric field insulation so that it reaches the silicon nitride layer 12. In general, in order to carry out this process, the upper surface of the thick oxide layer 13 is covered with a thin film made of photo resist, the pattern of the photo resist thin film is determined, and a desired part of the thick oxide layer which is not covered with the patterned photo resist thin film and which corresponds to the opening is removed by the etching. For photo resist, the well known arbitrary one is employed. The acid for the etching which is selected is the acid which of course, removes the oxide layer for the electric field insulation, but does not substantially react on the silicon nitride layer. One suitable acid for the etching

is the buffer solution of hydrogen fluoride containing about one part of HF to ten parts of ammonium fluoride, by volume. The remaining photo resist thin film is removed.

Next, a thin adhesive fire resistant metal layer 15 made of molybdenum is deposited on the surface of the processed wafer including the sidewall and the bottom face of the opening 14. The main properties which are desired for the fire resistant metal film for use in this process are that the fire resistant metal film adheres to each of the layers underlying the fire resistant metal film and also does not substantially react thereon at the temperature ranging from about 1,000 to about 1,500°C, that it is the electrical conductive material, and that it can be selectively etched away. After having determined suitably the pattern, the molybdenum layer 15 acts as the diffusion mask while the drain region and the source region each of which is of an opposite conductivity type are formed on the surface of the silicon substrate 10 and in the vicinity thereof. The technique for using fire resistant metal film as the diffusion mask when manufacturing a semiconductor device is described in more detail in U.S. Patent Application Serial No. 761,389 to the inventors, M. Brown and Merbin Gerfinckle filed on August 16, 1968 the disclosure of which is incorporated herein by reference. As described above, by using a photo resist thin film for which the pattern has been determined, the expected gate region 16 (refer to Fig. 2d) is protected from the etchant. On the other hand, the expected source and drain regions which are located on both the sides thereof are not protected from the etchant so that it becomes easy to form openings 17 and 18 each reaching the surface of the silicon wafer 10 by the etching. In order to form the openings 17 and 18 for the source and drain regions by the etching, in general, it is necessary to use the different etchants for the molybdenum layer 15, the silicon nitride layer 12 and the silicon dioxide layer 11 of the thin insulator film. An example of the suitable etchants which can be used therein will be taken later.

In the next process of the processing order, the whole surface of the processed silicon wafer is covered with glass which has been doped with the activator impurities containing therein a small amount of donors or acceptor impurities. In this case, SiO<sub>2</sub> which has been doped with boron of about 1% is deposited on the wafer which has been processed with a

metal mask as well as in the holes 17 and 18 in the metal mask in order to form a p type source electrode and a p type drain electrode. It is normal that in order to carry out the n type diffusion, glass which has been doped with phosphorus is used. Other donor, acceptor activator impurities or the doping agent, as generally well known, is the elements of the group III or the group V. The wafer which is covered with glass is then heated at a suitable temperature for a suitable period of time to diffuse the activator atoms into the surface of the substrate 10 to form a p type source electrode 19 and a p type drain electrode 20. The transverse diffusion beyond the boundary of the openings 17 and 18 for the source and the drain is slightly recognized, and hence the source electrode 19 and the drain electrode 20 come partially into the positions under the gate region 16.

As for the final process (refer to Fig. 2f), three contact holes are bored through a glass film 21 which has been doped with the activator impurities and they come into contact with a molybdenum layer overlapping the gate region 16. The source and drain electrodes 19 and 20 by utilizing the general vacuum evaporation method or sputtering method, and then contact metallization compositions 22, 23 and 24 are applied thereto. It is preferable that the mask process utilizing the photo resist film is used twice, and the first mask process is used to determine the contact holes and the second mask process is used to determine the pattern of the contact metallization compositions. In order to carry out the subsequent process, as shown in Fig. 3, it is the most convenient that the whole surface of the processed wafer is covered with a thin film made of metal such as aluminium or molybdenum, and then two trenches are respectively formed on both the sides of the gate by the etching to separate the metallization composition into three areas which are individually electrically insulated from one another.

Fig. 3 is a schematic perspective view showing the preferred rectangular structure of the completed device. As described above, in general, the arrays of the semiconductor devices each of which is the same in structure as one device shown in Fig. 3 are manufactured at the same time. In order that the formation of the contacts for the individual electrodes of the transistor, and the interconnection between the various kinds of devices on the monolithic integrated circuit chip and the interconnection to other circuit elements on the



above-mentioned monolithic integrated circuit chip may be readily carried out, the pattern of the metallization compositions as shown in Fig. 3 is desirable in that the contact pads 25 to 27 are formed concurrently with the above-mentioned contact metallization compositions 22 to 24. It will be recognized that the interconnection pattern is deposited on the surface of the thick oxide layer 13 for the electric field insulation and the glass layer 21 doped with activator impurities in the position higher than the active device where it does not electrically interfere with the active device. Now, giving the typical sizes of the fire resistance type metal - oxide - semiconductor field effect transistor as shown in Fig. 3, the lengths of the source electrode 19 and the drain electrode 20 are respectively in the range of 0.55 to 0.75 mils, and the length of the P-channel 28 which is generated between the source and the drain when applying the voltage having the suitable polarity and magnitude to the gate contact 22 is in the range of about 0.25 to about 0.8 mils. In addition, the size of the orthogonal direction of the P-channel 28 and the overall device, i.e., the size of the width direction thereof is in the range of about 0.3 to about 1.0 mils. The determination of the actual size of the specific device depends on the intended use of the circuit. Giving the description with respect to the operation, if the D.C. voltage having the suitable polarity is applied across the source contact 23 and the drain contact 24, then when the negative voltage exceeding the threshold voltage is applied to the gate contact 22, the state of the device is changed from the non-conducting state to the conducting state. Then, the electric field is generated in the gate insulator layers 11 and 12, and a part, of the electric field, which is generated in the substrate 10 attracts the holes from the body of the substrate towards the surface thereof to form the P-channel 28 through the inversion process. As a result, the p-n-p type until now is changed into the p-p-p type so that the current is caused to flow between the source electrode 19 and the drain electrode 20. Increase in the magnitude of the gate voltage causes the conducting degree of that channel to be increased.

The main feature of the method of manufacturing the fire resistant metal type gate insulating filed effect transistor is that in the first process, the silicon dioxide layer 11 and the silicon nitride layer 12 which become the gate insulating film are deposited in this order, and

the thick silicon dioxide layer 13 for the electric field insulation is deposited thereon at once, whereby thereafter, the process up to the completion of the device is carried out without processing the gate insulating film which was originally formed. Since the silicon dioxide layer for the gate becoming a conclusive factor is grown in the first process and then it is not processed any more, the optimal cleaning method of cleaning the surface of the silicon wafer 10 has only to be used once. In this method order, the thick silicon dioxide layer for the electric field insulation is deposited by the thermal decomposition and hence has not the defective interface property which is generally caused when depositing an oxide layer. This reason is that both of the gate oxide layer which has been thermally grown and the silicon nitride layer which underlie that thick silicon dioxide layer determine the interface property. The thick oxide layer for the electric field insulation can be successively deposited on the silicon nitride layer which will act as the barrier in the subsequent processing. In accordance with this method order, there is unnecessary the conventional process wherein the associated layers are cut open to expose the associated part of the surface of the silicon wafer in order to regrow silicon dioxide as the gate insulator. The remaining processes are selected so as to become the inexpensive and optimal method order for applying the generally well known technique for manufacturing the gate insulation type filed effect transistor employing a fire resistant metal film as the diffusion mask to the monolithic integrated circuits each requiring the thick oxide film for the electric field insulation. The electrical characteristics of the device which was manufactured in such a manner as described above are the same as those of the device which was manufactured in accordance with the conventional method.

As described above, the individual works of the semiconductor processing can be carried out by utilizing the conventional and general technique. The point of the present invention is how to adopt the order of the processes for obtaining the optimized inexpensive method and the device employing the same. As an example, the method of manufacturing a P-channel enhancement type metal - oxide - semiconductor field effect transistor will hereinafter be described in more detail than the above description. The more detailed description with respect to some work of this method can be understood by referring to U.S. Patent Application

Serial No. 761,389 which was previously cited herein. Referring now to Fig. 2a, the thermally grown silicon dioxide layer 11 of the gate insulating film has the thickness of 700 Å, the silicon dioxide layer 11 has been thermally grown at about 1,200°C in oxygen atmosphere in the oven. Silane is made react on ammonia in the oven, whereby the silicon nitride layer with about 500 Å thickness is deposited. Next, the thick silicon dioxide layer for the electric field insulation is deposited at 800°C for 40 minutes in the oven by the thermal decomposition until it has the thickness of about 12,000 Å.

By using the suitable one of the well known multiple photo resist compounds, the pattern of the single opening 14 for the source, the gate and the drain is determined (refer to Fig. 2b). Giving the specific photo resist as an example, there is one which is on the market as the trade name of KMER from Eastman Kodack Company. After the photo resist film has been exposed and developed, both of the resultant photo resist film having a predetermined pattern and the associated part of the silicon nitride layer are used as the etching mask to form the opening 14 by the etching using the HF buffer solution. Next, the photo resist mask is chemically removed. The molybdenum thin film with about 5,000 Å thickness is deposited by utilizing the standard vacuum evaporation method or sputtering method. The second photo resist mask having a predetermined pattern is formed on the surface of the molybdenum thin film (refer to Fig. 2d) to protect the gate region 16 while the range of the openings 17 and 18 for the source and the drain is determined. Next, the molybdenum layer 15 is selectively etched away by using the aluminium or molybdenum etchant consisting of sixteen parts of phosphoric acid, one part of nitric acid, one part of acetic acid and one part of water for example. The etchant selectively etches away the molybdenum thin layer locating above the openings 17 and 18 for the source and the drain, but does not substantially react on silicon nitride. Next, the silicon nitride layer 12 is etched by phosphoric acid, but the phosphoric acid does not etch molybdenum at all. While the thermally grown silicon dioxide layer 11 is left as it is, this layer 11 is etched by the above-mentioned HF buffer solution.

In order to form the p type source electrode 19 and the p type drain electrode 20 which have been remarkably doped with the activator impurities, the doped glass film made of SiO<sub>2</sub>

which has been doped with boron of about 1% is deposited on the part of the processed wafer which is covered with the fire resistant metal mask as well as in the holes 17 and 18 for the source and the drain, and then is heated at about 1,150°C for about one hour to diffuse the activator atoms into the region in the vicinity of the surface of the n type silicon substrate 10. The thickness of the doped glass film 21 may be in the range of 4,000 to 6,000 Å. As well known, the temperature and the period of time for the diffusion of the activator impurities are changed depending on the factors such as the thickness of the doped film, the desired depth of the penetration of the activator impurities, and the orientation of crystal. In the next process of the method, the third photo resist mask is formed on the doped glass film 21. In this connection, for the formation of the third photo resist mask, the photo resist film is subjected to the exposure using the pattern for determining the contact holes for contact metallization compositions 22 to 24 (refer to Fig. 2f). Then, the contact holes are bored through the associated layers by using the standard HF buffer solution. Next, the metal thin film made of aluminium is deposited over the whole surface of the processed wafer by utilizing the vacuum evaporation method or the sputtering method. Then, the fourth photo resist film for the etching mask is formed on the aluminium film to be subjected to the exposure so as to determine the pattern for the contacts and the metal interconnection parts.

In summary, in order to manufacture the insulated gate field effect transistor which is of a type of using the diffusion mask made of fire resistant metal, as the first process of the method, one or a plurality of gate insulator layers and the thick film for the electric field insulator overlying the gate insulator layers are deposited in this order on the silicon wafer. As the preferable materials therefor, the gate insulating film is the lamination body consisting of the thermally grown silicon dioxide thin film and the silicon nitride thin film, and the electric field insulator film is made of thick silicon dioxide which has been deposited by the thermal decomposition. After the single opening having the large width has been bored through the electric field insulator film, the fire resistant metal film made of fire resistant metal such as molybdenum is deposited on the gate insulating film. Thereafter, all of the processing of boring the openings for the source and the drain through the gate insulator layer, the

processing of depositing glass which has been doped with the activator impurities, the processing of diffusing the activator impurities into the surface of the silicon wafer to form the source region and the drain region in the silicon wafer, the processing of boring the contact holes, and the processing of depositing the contact metallization compositions are carried out without processing the gate dielectric film which was originally formed. This method is suitable for manufacturing the inexpensive arrays of the fire resistance type gate insulating field effect transistor for the monolithic integrated circuits. Such arrays, for example, are used in the various kinds of digital circuits.

While the preferred embodiment of the present invention has been illustrated and described, it is obvious to those skilled in the art that the changes of the shape and the details can be made within the scope of the invention.

The present invention can include the following forms in connection with the description of Scope of Claim for a Patent.

(a) The fire resistant metal film is made of molybdenum.

(b) In accordance with (a), the thick electric field insulator layer is made of silicon dioxide which has been deposited by the thermal decomposition.

(c) In accordance with (b), the transistor has the shape which is surrounded by the straight lines.

#### 4. Brief Description of the Drawings

Fig. 1 is a flow chart showing the main process when manufacturing a fire resistance type metal - oxide - semiconductor field effect transistor in accordance with the present invention; Fig. 2a to Fig. 2f are respectively cross sectional views showing the structure of the semiconductor body in steps corresponding to the various processes in the middle of implementing the method shown in the form of the flow chart of Fig. 1; and Fig. 3 is a perspective view showing the construction of a completed fire resistance type field effect transistor for monolithic integrated circuits.

Description of Main Reference Numerals:

- 10: n type silicon wafer
- 11: thermally grown silicon dioxide
- 12: silicon nitride (layers 11 and 12 become a thin gate insulating film)
- 13: thick electric field insulator
- 14: opening
- 15: film made of fire resistant metal
- 16: gate region
- 17: opening for source
- 18: opening for drain
- 19: source region
- 20: drain region
- 21: glass film doped with activator impurities
- 22: gate contact
- 23: source contact
- 24: drain contact



(2,000 円)

特 許 願

優先願主提出額

出 願 国 アメリカ合衆国  
出 願 日 1970 年 3 月 17 日  
出 願 番 号 才 20,301 号

昭和46年3月17日

特許庁長官 佐々木 孝 殿

1. 発明の名称

シリコン・ウェーハの中間層にゲート絶縁膜を形成する装置

2. 発明者

住 所 イタリア国、ミラン、グァイア・テオドロ、33 番

氏 名 ジアンビエロ・ステファノ・ニダリ

3. 特許出願人

住 所 アメリカ合衆国、12305、ニューヨーク州、

スケネクタディ、リバーロード、1 番

名 称 ゼネラル・エレクトリック・カンパニー

代表者 マーティン・カリコフ

住 所 アメリカ合衆国

4. 代理人

住 所 107 東京都港区赤坂1丁目11番41号

氏 名 久松 一兵衛

5. 添付書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 発明の要約書及びその原文 各1通 (通 読)
- (4) 委任状及びその原文 各1通

② 特願昭 46-14702

① 特開昭 46-3025

④ 公開昭 46.(1971) 10.25

審査請求 無

⑩ 日本国特許庁

⑧ 公開特許公報

庁内整理番号

⑤ 日本分類

6426 57

994E3

6513 57

994H0

明 細 書

1. 発明の名称

集積回路用ゲート絶縁膜形成装置  
スタの装置

2. 特許請求の範囲

耐火金属の形成マスクを用いる集積回路用ゲート絶縁膜形成装置の装置に於て、一方の導電型のシリコン・ウェーハの表面上に熱的に成長させた酸化シリコン及び酸化シリコンの薄いゲート絶縁層及びそれに重なる厚い電界絶縁層を形成し、前記厚い電界絶縁層の中に、トランジスタのソース、ゲート及びドレイン領域に対する単一の、上記酸化シリコン層に露する開口を作り、露出させられた酸化シリコン層並びに厚い電界絶縁層の他の部分の上に薄い耐火金属の被膜を形成し、前記耐火金属の被膜及び薄いゲート絶縁層を露するソース及びドレイン用の開口を作り、処理されたウェーハの全面にわたって、活性剤不純物でドーパされた陽子被膜を沈着すると共に活性剤不純物を

メー(1)

をシリコン・ウェーハの中に拡散させて反対導電型のソース及びドレイン領域を作り、前記陽子被膜を露する露点用の開口を作り、表面メタライズ用被膜物を沈着する工程から成る集積回路用ゲート絶縁膜形成装置の装置。

3. 発明の詳細な説明

この発明は集積回路に適したゲート絶縁膜形成装置の装置、更に具体的に言へば、耐火金属又はその他の金属被膜を形成マスクとして使った金属-酸化物-半導体電界効果トランジスタの処理に関する。

普通の(耐火型でない)モノリシック集積回路用金属-酸化物-半導体電界効果トランジスタ、或ち、一般に言う MOS トランジスタを作る場合、処理の順序としては、シリコン・ウェーハの中に活性剤不純物を拡散してソース及びドレイン電極を作った後、ゲート領域に重なる、前記で沈着した層を成三つて、被膜が完成した時にゲート絶縁膜として作用する電極層を形成させるのが普通である。これを更に説明

メー(2)

すると、標準的な処理順序では、一方の導電型のシリコン・ウェーハ即ち基体の面上に薄い $\text{SiO}_2$ 酸化シリコン被膜を成長させ、ソース及びドレイン領域で薄い不動態化被膜に開口を明け、活性剤不純物を多量に介して熱的に拡散して、ウェーハの面の中及びその近くに反対導電型のソース及びドレイン領域を作る。この後、処理されたウェーハの全面にわたって電界絶縁用の厚い $\text{SiO}_2$ 酸化シリコン層を沈積するか或いは成長させる。ゲート領域とソース及びドレインの接点領域とで、薄い酸化物層とそれに重なる厚い酸化物層の両方がウェーハの面に達するまで除去される。そこで、ゲート開口の中に、 $\text{SiO}_2$ の薄い $\text{SiO}_2$ 酸化シリコンのゲート絶縁体層が再成長させられる。この薄いゲート用酸化物を通つてソース及びドレインに達する接点用の孔を明け、これらの電極に接点メタライズ用組成物を沈積すると共にゲート絶縁体層にも接点メタライズ用組成物を沈積してゲート電極を作ることにより、処理が完了する。

拡散作業にモリブデン又はタングステンの膜

メー(3)

とも1つの方法が知られているが、こうして作ったトランジスタは、集積回路用に必要な電界絶縁用の厚い酸化物被膜を持っていない。モノリシック集積回路に於けるこの厚い酸化物の作用は、そのトランジスタを回路に接続するのに必要な金属の相互接続領域をこの相互接続部と接点の間の電気的な干渉を生ずることなしに、支持することである。

従つて、この発明の目的は、拡散マスクとして耐火金属の被膜を利用し且つトランジスタ構造の一体的な部分として重なる厚い電界絶縁用の酸化物層を有した種類の集積回路用ゲート絶縁型電界効果トランジスタを作る改良された方法を提供することである。

別の目的は、酸化物のゲート絶縁体層を有するこのような電界効果トランジスタを作るに際して、従来の決定的であつたゲート酸化物再成長工程を回避した経費の安い最速な方法を提供することである。

この発明では、集積回路用ゲート絶縁型電界

メー(5)

効果トランジスタを作ると、所謂HMOS電界効果トランジスタが得られる。このトランジスタ並びに前述のMOSTランジスタの処理では、最初に沈積した絶縁層をゲート領域から除去した後ゲート絶縁体層を成長させることも普通である。

ある方法の順序では、シリコン・ウェーハの全面にわたつて、電界絶縁用の厚い $\text{SiO}_2$ 酸化シリコン層を熱分解によつて沈積し、ゲート、ソース及びドレインの各領域に対して開口を食刻し、この開口の中に薄い $\text{SiO}_2$ 酸化シリコンの被膜を成長させる。ゲート絶縁体層を覆う耐火金属の接着性被膜を沈積し且つその模様を定めた後、ソース及びドレイン領域の上方にある薄い酸化物被膜を介して熱拡散を行なうことにより、下にあるウェーハの面内へ活性剤不純物を追いこむ。耐火金属のマスクを通る拡散は生ぜず、このマスクは拡散温度ではゲート絶縁体とも反応しない。前の場合と同じく、接点用の孔を明け、接点メタライズ用組成物を適用する。ゲート酸化物層を再成長させることをしない場合、HMOSTランジスタを作る少く

効果トランジスタを作る方法が、一方の導電型の半導体基体の面上に、1つ又は更に多くの薄いゲート絶縁体層及びそれに重なる厚い電界絶縁体層を沈積する工程を含む。好ましい絶縁体は、熱的に成長させた $\text{SiO}_2$ 酸化シリコン及び窒化シリコンと、熱分解によつて沈積させた厚い $\text{SiO}_2$ 酸化シリコンとの積層体である。厚い電界絶縁体を通つてゲート絶縁体層、即ち酸化シリコンに達するソース、ゲート及びドレイン用の単一の開口を作る。次に、露出させられたゲート絶縁体並びに厚い電界絶縁体の他の部分の上に、薄い金属被膜、好ましくは耐火金属のモリブデンを沈積する。トランジスタの以後の処理は、ゲート領域のゲート絶縁体を除去せずに済まされる。この処理としては、金属被膜及びゲート絶縁体層の中にソース及びドレイン用の開口を作り、活性剤をドーパされた硝子被膜を沈積し、模様を定めた金属被膜を拡散マスクとして使つて、活性剤不純物を半導体基体の中に拡散して反対導電型のソース及びドレイン電極を作り、接点用の孔を作り、接点メタライズ組

メー(6)



成物を沈積することが含まれる。

この発明の上記並びにその他の目的、特徴及び利点は、以下図面に示したこの発明の好ましい実施例を更に詳しく説明する所から明かになる。

これから説明する半導体製造技術は、Nチャネル及びPチャネルの何れのゲート絶縁体境界効果トランジスタ、またはエンハンスメント型又はディプリーション型の何れを作るのにも使うことが出来る。その境界は、前述の通り、従来のトランジスタが溝槽回路装置であること、並びにそれを作る時の孤散マスクとして、耐火金属又はその他の金属被膜を使うことである。説明の機会上、シリコンのPチャネルのエンハンスメント型の金属-塩化物-半導体境界効果トランジスタを作る場合を説明する。然し、ゲート絶縁体が普通酸化薄膜を言っているが、希望によつてはゲート絶縁体をすつかり他の絶縁体で作ることが出来るのであるから、この点はこの説明の実施に不可欠ではない。更にこの説明は、ケルマニウム及

ひ置化ガリウムの様なシリコン以外の半導体にも用いることが出来る。述べて置けば、1つの装置を作ることしか説明しないが、実際には、モノリシック集積回路用トランジスタの配列を同時に作るのである。

第1図の流れ図及び第2a図乃至第2f図に對比的に示す半導体装置の製造段階について説明すると、種々の工程は、型シリコンの基体10の一方の面上で行なわれる。基体10の小部分が示してない。基体は典型的には例えば厚さ0.1乃至2ミル、直径0.1乃至1.5吋の平坦で純粋シリコン・ウェーハである。処理順序の最初の工程（第2a図）は、基体10の一面上に、熱的に成長させた酸化シリコン（ $SiO_2$ ）の薄い層11を形成することである。成長させた酸化初層11の上に、窒化シリコン（ $Si_3N_4$ ）の薄い被膜12、又はオキシ窒化シリコン或いは酸化アルミニウム（ $Al_2O_3$ ）の被膜などの適当な絶縁体を形成させる。直ぐに明らかなになるが、これより後に形成する境界絶縁体層13は、それを形成する下地となつたゲート絶縁体

に対して選択的に食刻可能であることを必要條件とする。成長させた2酸化シリコン、窒化シリコンあるいは他の何れかの誘導性絶縁体だけで作られた単一のゲート絶縁体層、又は2つより多くの層を含む積層体を扱うことも可能であるが、好ましい構成は、熱的に成長させた2酸化シリコン薄膜の上に窒化シリコンの薄い薄膜を成長したものである。完成された装置の中でゲート絶縁体として作用するこの積層体の上に、好ましくは熱分解によつて沈積した2酸化シリコンより成る厚い境界絶縁体層13を沈積する。差速を完成するまでのこの後の処理は、最初形成したゲート誘導体をそつとしておいたまま行なわれる。この方法で窒化シリコンを扱うのは、後で明らかにするが、この絶縁体材料が密着が大きく、イオンの汚染を受付わず、半導体を作る時に普通使われる腐食剤によつては腐食されないか又は腐食されるとしても少つくりとである点で有利である。例をあげると、ゲート絶縁体である2酸化シリコン及び窒化シリコンの平均薄膜の厚さは約1000 Åか

それ以下であるが、遊離肥料用の厚い炭化物の厚さは10,000乃至15,000 Åである。普通の公知の凡例法を使って、これらの各層を交換する。

万全順序の次の工程（第20回参照）は、電界効果トランジスタのソース、ゲート及びドレイン電極の間の単一の開口14を、酸化シリコン層12に達するまで、電界効果管用の酸化物層13の中に作ることである。普通、これを行なうには、厚い酸化物層13の上面をホトレジストの薄層で覆い、ホトレジストの模様を定め、模様を定めたホトレジストの薄層によって保護されていない、所望の開口14に対する厚い酸化物層の部分を選択して除去する。この工程は、図12の(a)に示すように行われる。適当な開口14は、図12の(b)に示すように、電界効果管用の酸化物層を取去るが、酸化シリコン層とは實質的に反応しない酸である。適当な1つの例として、

例えば、炭化アンモニウム10部に対して容量でHF  
を約1部含有している無比水素の緩衝液である。

次に、開口14の壁及び床を言ひて、処置され  
九フエーハの面上に、セリブテンで作つた薄い強  
着性の耐火塗料層15を充填する。使用する耐火

4 - (9)

$$x = qu$$

4 - (9)

$$x = qu$$

金属に置かれる主な性質は、約1000乃至1500℃の加熱温度で、下にある各層と接合し且つそれと実質的に反応しないこと、導電材料であること、並びに選択的に食刻可能であることである。適宜に換換を定めると、モリブデン層15は、シリコン基体10の面並びにその近くに導電膜が受けたドレイン及びソース領域を形成する間、遮蔽マスクとして作用する。半導体を作る時の遮蔽マスクとして耐火金属の膜を使うことについては、1968年8月16日に出版された発明者デールM・ブラウン及びマービン・カーフィンの米国特許出願通し番号76/1389号に更に詳しく説明されており、ここではその引用により説明にかえる。前述のように膜厚を定めたホトレジストを使うことにより、所期のゲート領域16(第24図)は腐食剤から保護され、その半面、その両側にある所期のソース及びドレイン領域は保護されず、シリコン・ウェーハ10の面まで達する開口17, 18 食刻するの

17, 18 を食刻するに、普通はモリブデン層15、酸化シリコン層12及び薄いセパレータ層11に対して用いられる腐食剤を使うことが必要である。使用し終る適宜な腐食剤の液の内部では行ける。

処理順序の次の工程として、少量のドナー又はアクセプタ不純物を含む活性剤でドーパされたシリコンで、処理されたウェーハの全面を保護する。今の場合にはP型のソース及びドレイン領域を作る為、N多量度の酸素をドーパしたSiO<sub>2</sub>を、金属マスクで処理されたウェーハの上及び金属マスク内の孔17及び18の中へ沈着する。N型の沈着をするには、前記ドーパしたシリコンを使うのが普通であり、その他のドナー及びアクセプタ活性剤不純物又はドーパ剤は一般に周知の如くIII族又はV族の元素である。シリコンで被覆されたウェーハを次に適当な時間、適当な温度に加熱して、活性剤シリコンを基体10の面に拡散させ、P型のソース及びドレイン領域19, 20 を作る。ソース及びドレイン用の開口17, 18 の境界をこえた両方向の拡

メー10

メー11

散も若干認められ、この為ソース及びドレイン領域19, 20 は部分的にゲート領域16の下に入り込む。

最終工程として(第25図参照)、ドーパされたシリコンの被覆21の中に3つの接点用の孔がつけられ、普通の蒸着法又はスパッタリング法を用いて、ゲート領域16、及びドレイン領域19, 20に重なるモリブデン層に接触して、接点メタライズ組成物22, 23, 24 が適用される。ホトレジストによるマスク工程を2回用い、1回は接点用の孔を定める為、もう1回は接点メタライズ組成物の膜厚を定める為に使うのが好ましい。この後の方の工程を行なうには、第3図に示す様に、処理されたウェーハの全面をアルミニウム又はモリブデンの薄い金属の薄い層で被覆し、次にゲートの両側で2つの開口を食刻してメタライズ組成物を3つの別々の電気的に絶縁された区域に分けるのが一番便利である。

第3図は完成された装置の好ましい近形の形をも概略的に示している。前に述べた様に、普通は図示の1つの装置と同一の半導体装置の配列を同時に作る。トランジスタの各電極に対して接点をつけること、並びにモノリシック集積回路

メー12

メー13

片上にある種々の接層の間の相互接続及び同種類回路片上にある他の回路素子に対する相互接続を容易にする為、第3図に示したメタライズ組成物の種々は、接点パッド25乃至27が前述の接点メタライズ組成物22乃至24と同時に作られる点で望ましい。相互接続種は、能動装置と電気的に干渉がない様な、能動装置より高い所で、電界絶縁用の厚い酸化層13及びドープされたシリコン層21の表面上に沈積されることが望まれよう。第3図に示した耐金属-酸化物-半導体電界効果トランジスタの典型的な寸法をあげると、ソース及びドレイン電極19,20は長さ0.5乃至0.7ミルであり、ゲート接点22に適正な電圧及び大きさの電圧が印加された時、ソース及びドレイン間に生ずるPチャネル28の長さは約0.25乃至0.5ミルである。Pチャネル28並びに装置全体の直交方向、即ち幅方向の寸法は約0.3乃至1ミルである。特定の装置の実際の寸法を明らかにするかは、回路の用途によってきまる。動作について説明すると、ソース及びドレイン接点23

メー09

とはしないのであるから、シリコン・ウェーハ10の表面をきれいにする普通の洗浄方法を1回用いるだけでよい。この方法順序では、電界絶縁用の厚い酸化シリコン層は熱分解によって沈積され、酸化物を沈積する場合に普通生ずる不良界面特性を持たない。これは、その下にある熱的に成長させたゲート酸化物層及び酸化シリコン層が界面特性をきめるからである。電界絶縁用の厚い酸化物層は、この後の処理で層膜として作用する酸化シリコン層の上に好ましく沈積することが出来る。この方法順序によれば、シリコン・ウェーハの面に達するまで切り開いて、酸化シリコンのゲート絶縁体を再成長させると云う従来の工程が変わらない。残りの工程は、拡散マスクとして耐火金属を使つたゲート絶縁型電界効果トランジスタを作る一般的に知られた技術を、電界絶縁用の厚い酸化物を必要とするモノリシック集積回路に適用する為の経費の安い最適な方法順序となるように選ばれる。ここに述べたようにして作つた装置の電気的特性は、従来の方法で作られ

メー07

24の間に適当な電圧の直流電圧を接続すると、閾値電圧をこえる負の電圧がゲート接点22に印加された時に、装置は非導電状態から導電状態になる。ゲート絶縁体層11,12の中に電界が作り出され、この電界の内、基体10の中に生ずる部分が、基体の本体からその表面の方へ正孔の引き寄せ、反転過程によりPチャネル28を作る。それまでのP-0-Pの形がP-P-Pの形になり、ソース及びドレイン電極19,20の間に電流が通る。ゲート電圧の大きさを増すと、このチャネルの導電度が高くなる。

耐火金属型ゲート絶縁型電界効果トランジスタを作るこの方法の重要な特徴は、第1の工程でゲート絶縁体となる酸化シリコン及び酸化シリコンの層11,12を沈積し、直ちに電界絶縁用の厚い酸化シリコン層13を沈積することにより、この後、装置を作り上げるまでの処理が、最初に形成されたゲート絶縁体に手を入れずに行なわれることである。決め手となるゲートの酸化シリコン層を第1の工程で成長させ、2度といじること

メー08

た装置の特性と同様である。

前に述べた様に、この半導体処理の各々個々の作業は、従来の普通の手法によって行なうことが出来る。この発明は、最適にした経費の安い方法及び装置を得る為の工程の順序の取り方を要旨とするものである。例として、Pチャネルのエンハンスメント型の金属-酸化物-半導体電界効果トランジスタの作り方を上に述べたよりも更に詳しく説明する。この方法の若干の作業について更に詳しいことは、前に引用した米国特許出願通し番号761,389号をみれば判る。第2図について言うと、熱的に成長させたゲート絶縁体の酸化シリコン層11は700Åの厚さを持ち、炉の中で約1200℃の温度で酸素雰囲気中で熱的に成長させられる。炉の中でシリコンをアンモニアと反応させることにより、酸化シリコンが約500Åの厚さに沈積される。次に、電界絶縁用の厚い酸化シリコン層が、約800℃の温度の炉内で40分間、約12,000Åの厚さになるまで、熱分解によって沈積される。

メー08

周知の数多くのホトレジスト化合物の中の適当なものを使って、ソース、ゲート及びドレイン用の単一の開口14の模様を定める（図20図）。特定のホトレジストをあげれば、イーストマン・コダック・カンパニからKMERの商品名で販売されているものがある。ホトレジストを露出並びに現像した後、酸化シリコン層を腐食止めに使って、HF 緩衝液により開口14を食刻する。次にホトレジスト・マスクを化学的に剥ぎとる。標準的な蒸着法又はスパッタリング法により、モリブデンの薄膜を約5000 Åの厚さになるまで沈積する。モリブデンの表面に2番目のホトレジスト・マスクを同様にして作り（図24図）、ソース及びドレイン用の開口17,18の範囲をきめる間、ゲート領域16を保護する。次に、例えば酸/6部、硝酸/部、酢酸/部及び水/部から成るアルミニウム又はモリブデン腐食液により、モリブデン層15を食刻する。この腐食液は、ソース及びドレイン用の開口17,18の上方にあるモリブデン層を選択的に食刻するが、酸化シリコンとは

実質的に反応しない。次に酸液で酸化シリコン層12を食刻するが、酸液はモリブデンを侵食しない。残っているのは熱的に成長させた2酸化シリコン層11であるが、これは前述の緩衝HF 腐食液によって食刻する。

著しくドーパされたP型のソース及びドレイン電極19,20を作る為、14程度の開口をドーパしたSiO<sub>2</sub>から成るドーパされた硝子や、処理されたウェーハの耐火金属マスクで覆われた部分の上、及びソース並びにドレイン用の孔17,18の中心に積し、次いで約1150 °Cの温度に約1時間加熱して、活性原子をP型シリコン基体10の表面近くの領域内へ拡散させる。ドーパされた硝子の板厚21の厚さは4000乃至6000 Åであってよい。周知の如く、拡散の温度及び時間は、ドーパされた薄膜の厚さ、所望の透過の深さ及び結晶の方位の様に硝子によって変る。方法の次の工程は、ドーパされた硝子の薄膜21の上に3番目のホトレジスト・マスクを設け、接点メタライズ組成物22乃至24の為の接点用の孔を定める模様で（図25

図）、このホトレジストを露出にかける。標準的なHF 緩衝液を使って、接点用の孔を定める。次に、処理されたウェーハの全面に対して全アルミニウムの薄膜を蒸着又はスパッタリングで設ける。アルミニウム膜の上に4番目のホトレジスト・マスクを沈積し、接点及び全局相互接続部の模様を定めるように露出にかける。

要約すれば、耐火金属の拡散マスクを使う種類のゲート絶縁型電界効果トランジスタを作るのに、方法の第1工程として、シリコン・ウェーハ上に1つ又は複数のゲート絶縁体層と、それに重なる薄い電界絶縁体の被覆とを沈積する。好ましい材料としては、ゲート絶縁体が熱的に成長させた2酸化シリコン及び酸化シリコンの薄い被覆から成る薄膜体であり、電界絶縁体が熱分析によって沈積した薄い2酸化シリコンである。電界絶縁体の中に細の広い単一の開口を作った後、モリブデンの様な耐火金属をゲート絶縁体上に沈積する。この後、ゲート絶縁体層の中にソース及びドレイン用の開口を作ること、不純物をドーパ

した硝子を沈積すること、活性不純物を拡散してシリコン・ウェーハ中にソース及びドレイン領域を作ること、接点用の孔を定めること、及び接点メタライズ組成物を沈積することの全ての処理が、最初に形成したゲート誘電体をいじらずに行なわれる。この方法は、モノリシック集積回路用の耐火型のゲート絶縁型電界効果トランジスタの低電圧配列を作るのに適している。このような配列は、例えば種々のデジタル回路に使用される。

この発明を好ましい実施例について具体的に図示し、説明して示したが、当業者であれば、この発明の範囲内で準状並びに範囲の変更が出来ることは自明であろう。

この発明は、特許請求の範囲の記載に関連して、次の実施態様をとらうる。

(i) 耐火金属被覆がモリブデンで形成されること。

(ii) 前記(i)項に於て、薄い電界絶縁体層が熱分析によって沈積された2酸化シリコンで構成さ

れること。

(f) 前記何項に於て、トランジスタが面線  
で囲まれた形であること。

#### 4. 図面の簡単な説明

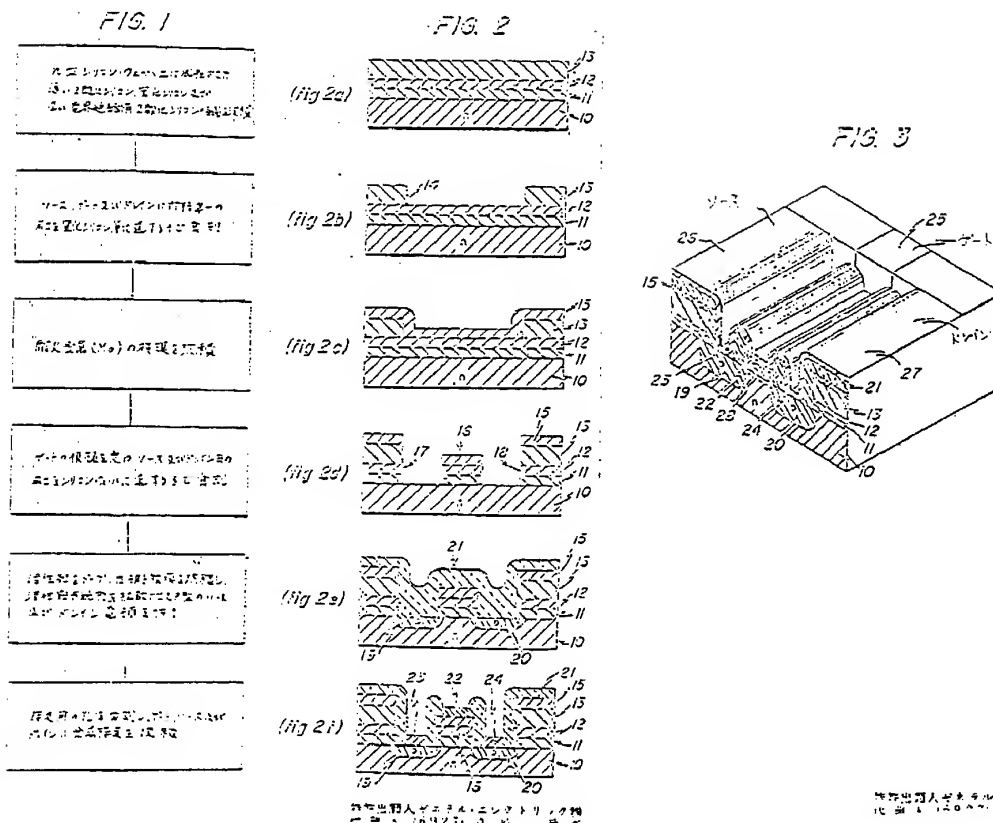
第1図はこの発明によつて耐火型金属-酸  
化物-半導体電界効果トランジスタを作る際の主  
要工程を示す方法の流れ図、第2a図乃至第2f  
図は第1図の流れ図によつて示される方法実  
施途中の種々の工程に対応する段階に於ける半  
導体本体の立面図、第3図は完成されたモノリ  
シック集積回路用耐火型電界効果トランジスタ  
の等長図である。

#### 主な符号の説明

- 10 : p型シリコン・ウェーハ  
11 : 熱的に成長させた2酸化シリコン  
12 : 酸化シリコン (11, 12が埋めゲート絶  
縁層になる)  
13 : 薄い電界絶縁体  
14 : 開口  
15 : 耐火金属の被膜

- 16 : ゲート領域  
17 : ソース用の開口  
18 : ドレイン用の開口  
19 : ソース領域  
20 : ドレイン領域  
21 : 高性剤不純物をドーブした硝子の被膜  
22 : ゲート接点  
23 : ソース接点  
24 : ドレイン接点

特許出願人ゼネラル・エレクトリック  
社 代理人 (6227) 入 松 - 兵 衛



手 続 補 正 書 (自 発)

昭和46年6月4日

特許庁長官 佐々木 孝 殿

1. 事件の表示 昭和46年特許第14702号
2. 発明の名称

集積回路用ゲート絶縁型電界効果トランジスタの製造

3. 補正をするもの

事件との関係 出 願 人

住 所 アメリカ合衆国、ニューヨーク州、  
スケネクタディ、リバーロード、1番  
郵便番号 12305  
名 称 ゼネラル・エレクトリック・カンパニー  
代 表 者 マーテン・カリコウ

4. 代 理 人

住 所 東京都港区赤坂1丁目11番41号  
オ1興和ビル5階504号室  
郵便番号 107  
氏 名 (6927) 久 松 一 兵 衛  
電 話 東京(584) 5303

5. 補正の対象

図 面

6. 補正の内容

別紙の通り、用紙をトレーシングペーパー  
とした図面に訂正する。



FIG. 1

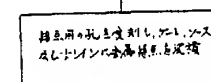
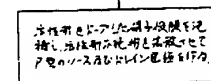
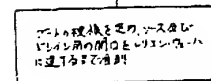
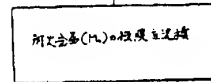
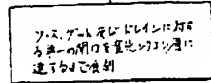
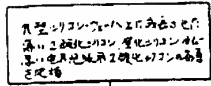


FIG. 2

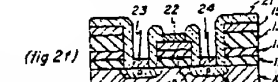
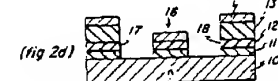
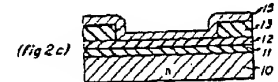
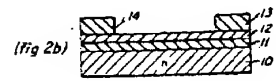
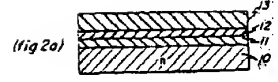
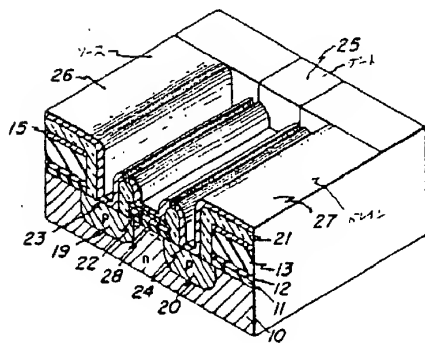


FIG. 3



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**